

## 明 細 書

## 低雑音増幅器

## 技術分野

- [0001] 本発明は、MIS (Metal-Insulator-Semiconductor) 集積回路上に構成される低雑音増幅器に関する。

## 背景技術

- [0002] 高周波 (RF) 信号から所望波を取り出す技術としてスーパーヘテロダイン方式やダイレクトコンバージョン受信方式などが良く知られている。

これら受信方式のダイレクトコンバージョン受信方式を例に、典型的な信号の復調方式を以下に図面を用いて説明する。

- [0003] 図1は、一般的な上記ダイレクトコンバージョン受信方式を示す回路ブロック図である。

同図の回路ブロック図1は、アンテナ2、低雑音増幅器4、局部発振器6、90度移相器8、ミキサ10、ローパスフィルタ (LPF) 12、DCアンプ14、A/D変換器16、及びDSP18から構成されている。

- [0004] 同図のアンテナ2から高周波 (RF) 信号を受信すると、そのRF信号を低雑音増幅器4で増幅させ、その増幅したRF信号を同図の上下に配置されたミキサ10に入力する。

また、局部発振器6からは上記RF信号と同じ周波数のローカル (LO) 信号が出力され、90度移相器8で互いに90度の位相を持たせて各ミキサ10にそのLO信号を入力する。

- [0005] ミキサ10では、上記入力されたRF信号とLO信号とを乗算し、低雑音増幅器4の出力を同相 (I) 成分及び直交 (Q) 成分を有するベースバンド信号へそれぞれ変換している。この方式によるとIFがゼロとなりベースバンド信号が折り重なって復調できなくなるため、前述したように位相の90度異なる二つのLO信号と二組のミキサ10を用いて直交復調を行なう。

- [0006] ミキサ10から出力された信号は、その後段で、LPF12によって不要波がカットされ

、LPF12から出力された所望波がDCアンプ14で増幅され、DCアンプ14から出力された信号がA/D変換器16でデジタル信号に変換される。

[0007] そして、A/D変換器16によって変換されたデジタル信号がDSP18に入力されることにより、符号再生等の処理が行なわれる。

一方、受信方式がスーパーヘテロダイン受信方式であれば、アンテナで受信した搬送波周波数信号を中間周波数(IF)信号へ変換するため、イメージ周波数が残ってしまう。そのため、スーパーヘテロダイン受信方式の場合には低雑音増幅器の前段に上記イメージ周波数を取り除くためのバンドパスフィルタが構成され、さらに、中間周波数を取り出すために帯域制限を行なう中間周波数フィルタなどがIF回路に構成される。

[0008] 上述した回路ブロック図の説明からも明らかなように、上記低雑音増幅器は、先ず始めに利得を有する回路ブロックとなる。

低雑音増幅器の雑音指数はシステムの雑音指数にそのまま加算されてしまうため、低雑音増幅器を設計する際は如何に雑音を低減させて入力信号を増幅させるかが重要となる。

[0009] 昨今では、従来問題となっていたMOS (Metal-Oxide-Semiconductor)トランジスタの低スピードの問題とノイズが大きいという問題が改善されつつあり、上述した低雑音増幅器に対してMOSTランジスタを適用することで低雑音増幅器を半導体基板上に集積化できるようになった。

[0010] そして、半導体基板上に一導電型(pチャネルまたはnチャネル)のMISTランジスタを単体で構成した半導体装置の構成例としては、そのゲート絶縁膜を一例として熱酸化処理を施して半導体基板の凸部に構成したものが特開2002-110963号公報に開示されている。この構成であれば、半導体基板の上記凸部の側壁面に対してチャネルを形成できるとされている。

特許文献1:特開2002-110963号公報

[0011] しかし、上記MOSTランジスタを利用して低雑音増幅器を構成すると、チャネルで発生する雑音が顕著に現れ、それが低雑音増幅器の雑音指数を高める直接的な原因となっていることが明らかになる。その雑音とは、半導体基板とゲート絶縁膜との界

面及び界面付近に生成されるチャネルにおいて、電子正孔対の生成、再結合やトラップでのキャリアの捕獲、或いはトラップからのキャリアの放出などによって生じるフリッカ雑音( $1/f$ 雑音)である。そして、この $1/f$ 雑音を低減させる事は困難であった。

[0012] また、トランジスタ特性における飽和領域においては、ドレインソース間電圧に寄らずドレイン電流が一定の値を示すことが理想的であるが、実際には、この飽和領域におけるピンチオフ点(チャネルキャリア密度が略0になる点)の移動により、実行ゲート長は減少し、反対にドレイン電流が上昇するというチャネル長変調効果が生じる。このため、増幅された信号として歪のない安定した信号を得ることが困難であった。

[0013] このように、低雑音増幅器の回路設計をする際には、いかに雑音を低く抑えて利得を増やせるようにするかが課題で、これまでは、出力信号に影響する雑音や歪を別回路で補償するなどの構成をとる必要があった。

[0014] さらに、CMOS構造にした低雑音増幅器においては、pチャネルMOSトランジスタ及びnチャネルMOSトランジスタの互いの寄生容量が一致せず、ゲートソース間電圧に対する互いのドレイン電流の立上がり特性と立下り特性のずれによる信号歪を生じており問題であった。

#### 発明の開示

[0015] 本発明は、少ない部品数で雑音を抑えかつ高利得で信号増幅させることが可能な低雑音増幅器を提供することを目的とし、さらに、雑音を低化させると共に信号歪を低化させることが可能なCMOS構造の低雑音増幅器を提供することを目的として以下のように構成する。

[0016] 本発明の低雑音増幅器の態様の一つは、MIS (Metal-Insulator-Semiconductor) トランジスタを有し、雑音を低レベルに抑えて入力信号(例えば搬送信号など)を増幅することを前提とし、上記MISトランジスタは、第1の結晶面を主面として有する半導体基板と、該半導体基板の一部として形成され、上記第1の結晶面とは異なった第2の結晶面により画成された1対の側壁面と、上記第2の結晶面とは異なった第3の結晶面により画成された頂面とよりなる、半導体構造と、上記主面及び上記側壁面及び上記頂面を一様な厚さで覆うゲート絶縁膜と、上記主面及び上記側壁面及び上記頂面を、上記ゲート絶縁膜を介して連続的に覆うゲート電極と、上記半導体基板中及

び上記半導体構造中の、上記ゲート電極を介する一方側及び他方側に形成され、いずれも上記主面及び上記側壁面及び上記頂面に沿って連続的に延在する、同一導電型拡散領域(導電型には、例えばn型やp型があり、同一導電型拡散領域とは、上記ゲート電極の両側に形成される拡散領域の導電型が同一である領域を意味する)と、を有するように構成する。

[0017] 本発明の低雑音増幅器の態様のその他の一つは、MISTランジスタを有し、雑音を低レベルに抑えて入力信号を増幅することを前提とし、上記MISTランジスタは、表面が少なくとも二つの異なる結晶面を有する凸部を主面に対して構成する半導体基板と、上記凸部の表面を構成する上記少なくとも二つの異なる結晶面の各々の少なくとも一部を覆うゲート絶縁膜と、上記半導体基板と電氣的に絶縁されるように上記ゲート絶縁膜を介して構成され、かつ上記凸部の表面を構成する上記少なくとも二つの異なる結晶面の各々に対して構成されるゲート電極と、上記凸部の表面を構成する上記少なくとも二つの異なる結晶面の各々に面して上記凸部中に形成され、かつ上記ゲート電極の両側にそれぞれ形成される同一導電型拡散領域と、を有するように構成する。

[0018] 本発明の低雑音増幅器の態様のその他の一つは、MISTランジスタを有し、雑音を低レベルに抑えて入力信号を増幅することを前提とし、上記MISTランジスタは、少なくとも二つの結晶面を有する半導体基板と、該半導体基板上であって上記結晶面の少なくとも二つに対して形成したゲート絶縁膜と、該ゲート絶縁膜を挟んで上記半導体基板上に形成したゲート電極と、を有し、該ゲート電極に電圧を加えた際に上記ゲート絶縁膜に沿って上記半導体基板中に形成されるチャネルのチャネル幅が、上記少なくとも二つの結晶面に対して各々形成されるチャネルの各チャネル幅の総和で示される、立体構造MISTランジスタである、ように構成する。

[0019] なお、本発明の低雑音増幅器の上記各態様において、上記MISTランジスタは、上記半導体基板がシリコン基板であり、上記シリコン基板の表面に形成されたゲート絶縁膜が、上記シリコン基板の表面を所定の不活性ガスによるプラズマに曝して水素を除去することにより形成され、上記シリコン基板と上記ゲート絶縁膜との界面における上記水素の含有量が面密度換算で $10^{11}/\text{cm}^2$ 以下となる、ように構成することが

望ましい。

- [0020] また、上記少なくとも二つの結晶面は、(100)面、(110)面、(111)面の内の何れか異なる二つの結晶面が組み合わされてなる、ように構成することが望ましい。

さらに、nチャネルMOSTランジスタ及びpチャネルMOSTランジスタからなるCMOSTランジスタを有し、前記nチャネルMOSTランジスタまたは前記pチャネルMOSTランジスタの少なくとも一方が上記各態様の何れか一つに記載の低雑音増幅器のMISTランジスタによって構成される、ことが望ましい。

- [0021] この時、上記pチャネルMOSTランジスタと上記nチャネルMOSTランジスタの素子面積及び電流駆動能力は略一致する、ように構成することが望ましい。

このように構成される低雑音増幅器においては、上記pチャネルMOSTランジスタのゲートと上記nチャネルMOSTランジスタのゲートに対し、上記入力信号に基づく入力電圧が共通に加わり、上記pチャネルMOSTランジスタのドレイン側に電圧源が設けられ、上記pチャネルMOSTランジスタのソースと上記nチャネルMOSTランジスタのドレインとが共通接続され、上記nチャネルMOSTランジスタのソースとドレインとの間に動作点決定用の直流フィードバック回路が接続され、上記pチャネルMOSTランジスタのソースと上記nチャネルMOSTランジスタのドレインとの上記共通接続された接続ラインに現れる電圧が上記入力電圧の増幅電圧として出力される、ように構成してもよい。

- [0022] さらに、上記各態様の低雑音増幅器は、ダイレクトコンバージョン受信方式で使用してもよい。

本発明の低雑音増幅器においては、上記少なくとも二つの異なる結晶面に沿ってゲート幅が形成される。そのため、ゲートに電圧が印加されると、上記少なくとも二つの異なる結晶面に沿ってチャネルが形成される。そして、特に凸部の結晶面に沿ってチャネルが形成された際に、各トランジスタで生じるゲート長変調効果が大幅に抑制される。

- [0023] また、上記MISTランジスタにおいて、上記半導体基板がシリコン基板であり、上記シリコン基板の表面に形成されたゲート絶縁膜が、上記シリコン基板の表面を所定の不活性ガスによるプラズマに曝して水素を除去することにより形成され、上記シリコン

基板の表面及び上記ゲート絶縁膜の界面における上記水素の含有量が面密度換算で $10^{11}/\text{cm}^2$ 以下となる、ように形成できるので、半導体基板とゲート絶縁膜との界面における界面準位密度を低下でき、 $1/f$ 雑音の低減及び各トランジスタの電気的特性のばらつきが低減できる。

[0024] さらに、上記少なくとも二つの結晶面が、(100)面、(110)面、(111)面の内の何れか異なる二つの結晶面が組み合わせられることによって、上記 $1/f$ を大幅に低減でき、電気的特性のばらつきも大幅に低減できる。

[0025] また、ダイレクトコンバージョン方式に上記低雑音増幅器を適用すれば、低雑音増幅器から発生する $1/f$ 雑音や信号歪などの影響を後段の回路に与えない。

さらに、nチャネルMOSトランジスタ及びpチャネルMOSトランジスタの電流駆動能力及び素子面積を一致させたCMOS (Complementary Metal Oxide Semiconductor) トランジスタを有するミキサ回路を構成できるようになる。

#### 図面の簡単な説明

[0026] 本発明は、後述する詳細な説明を、下記の添付図面と共に参照すればより明らかになるであろう。

[図1]従来のダイレクトコンバージョン受信方式の回路ブロック図である。

[図2]ラジアルラインスロットアンテナを用いたプラズマ処理装置の一例を示す断面図である。

[図3]シリコン基板103表面におけるシリコン-水素結合を赤外分光器により分析した結果である。

[図4]処理室内の $\text{Kr}/\text{O}_2$ の圧力比を97/3に保持しつつ、前記処理室101内のガス圧力を変化させた場合の、形成される酸化膜の厚さと処理室内圧力との関係である。

[図5] $\text{Kr}/\text{O}_2$ プラズマ酸化膜の成長レートと熱酸化膜の成長レートとの比較図である。

[図6] $\text{Kr}/\text{O}_2$ プラズマ酸化膜と熱酸化膜との界面準位密度の比較図である。

[図7A]ドレイン電圧対規格化ドレイン電流特性である。

[図7B]ドレイン電圧対規格化ドレイン電流特性である。

[図7C]ドレイン電圧対規格化ドレイン電流特性である。

[図8]nチャネルMOSTランジスタの構成例である。

[図9]CMOSランジスタの構成例である。

[図10]図9の一部を取り出して示した図である。

[図11]CMOS構造を用いた低雑音増幅器の回路例である。

[図12]ダイレクトコンバージョン受信方式の回路ブロック図である。

発明を実施するための最良の形態

[0027] 以下、本発明の実施の形態を、図面を参照しながら詳細に説明する。

本発明の実施の形態の低雑音増幅器はMIS (Metal-Insulator-Semiconductor) 構造を有するランジスタによって構成される。そして、本発明の実施の形態において、このMISランジスタのゲート絶縁膜は、特開2002-261091号公報に開示されているゲート絶縁膜薄膜形成技術を取り入れて形成する。

[0028] なお、上記ゲート絶縁膜としては、上記特開2002-261091号公報に開示されているように窒化膜や酸窒化膜とすることもできるが、本実施の形態においては上記ゲート絶縁膜を酸化膜としたMOS (Metal-Oxide-Semiconductor)ランジスタ(例えばMOSFETなど)を代表に挙げて説明することにする。

[0029] 先ず始めに、上記MOSTランジスタのゲート絶縁膜薄膜形成方法について説明する。

図2は、ラジアルラインスロットアンテナを用いたプラズマ処理装置100の一例を示す断面図である。

[0030] 本ゲート絶縁膜薄膜形成方法においては、シリコン(またはSiで示す)表面の未結合手を終端している水素を除去するのに、次の酸化膜形成工程でプラズマ励起ガスとして使われるKrを使用し、同一処理室内で連続して表面終端水素除去処理と酸化処理とを行なう。

[0031] 先ず、真空容器(処理室)101内を真空にし、次にシャワープレート102から最初にArガスを導入し、それをKrガスに切替える。さらに、前記処理室101内の圧力を133 Pa(1Torr)程度に設定する。

[0032] 次にシリコン基板103を、加熱機構を持つ試料台104に置き、試料の温度を400℃

程度に設定する。前記シリコン基板103の温度が200–550℃の範囲内であれば、以下に述べる結果はほとんど同様のものとなる。前記シリコン基板103は、直前の前処理工程において希フッ酸洗浄が施され、その結果表面のシリコン未結合手が水素で終端されている。

[0033] 次に同軸導波管105からラジアルラインスロットアンテナ106に周波数が2.45GHzのマイクロ波を供給し、前記マイクロ波を前記ラジアルラインスロットアンテナ106から処理室101の壁面の一部に設けられた誘電体板107を通して、前記処理室101内に導入する。導入されたマイクロ波は前記シャワープレート102から前記処理室101内に導入されたKrガスを励起し、その結果前記シャワープレート102の直下に高密度のKrプラズマが形成される。供給するマイクロ波の周波数が900MHz程度以上約10GHz程度以下の範囲にあれば、以下に述べる結果はほとんど同様のものとなる。

[0034] 図2の構成においてシャワープレート102と基板103の間隔は、本実施形態では6cmに設定する。この間隔は狭いほうがより高速な成膜が可能となる。

なお、本実施形態では、ラジアルラインスロットアンテナを用いたプラズマ装置を用いて成膜した例を示しているが、他の方法を用いてマイクロ波を処理室内に導入してプラズマを励起してもよい。

[0035] 前記シリコン基板103をKrガスで励起されたプラズマに曝すことにより、前記シリコン基板103の表面は低エネルギーのKrイオン照射を受け、その表面終端水素が除去される。

[0036] 図3は前記シリコン基板103表面におけるシリコン–水素結合を赤外分光器により分析した結果であり、前記処理室101中にマイクロ波を133Pa(1Torr)の圧力下、 $1.2\text{W}/\text{cm}^2$ のパワーで導入することで励起したKrプラズマによる、シリコン表面終端水素の除去効果を示す。

[0037] 図3を参照するに、わずか1秒程度のKrプラズマ照射でシリコン–水素結合に特徴的な波数 $2100\text{cm}^{-1}$ 付近の光吸収がほとんど消滅し、約30秒の照射ではほぼ完全に消滅するのがわかる。すなわち、約30秒のKrプラズマ照射により、シリコン表面を終端していた水素が除去できることがわかる。本実施形態では、1分間のKrプラズマ



照射を施して、表面終端水素を完全に除去する。

[0038] 次に、前記シャワープレート102から97/3の分圧比のKr/O<sub>2</sub>混合ガスを導入する。この際、処理室内の圧力は133Pa(1Torr)程度に維持しておく。KrガスとO<sub>2</sub>ガスが混合された高密度励起プラズマ中では、中間励起状態にあるKr\*とO<sub>2</sub>分子が衝突し、原子状酸素O\*を効率よく大量に発生できる。

[0039] 本例では、この原子状酸素O\*により前記シリコン基板103の表面を酸化する。本薄膜形成方法を用いることにより、原子状酸素による酸化処理では、400° C程度の非常に低い温度での酸化が可能となる。Kr\*とO<sub>2</sub>の衝突機会を大きくするには、処理室圧力は高い方が望ましいが、あまり高くすると、発生したO\*同志が衝突し、O<sub>2</sub>分子に戻ってしまう。当然、最適ガス圧力が存在する。

[0040] 図4に、処理室内のKr/O<sub>2</sub>の圧力比を97/3に保持しつつ、前記処理室101内のガス圧力を変化させた場合の、形成される酸化膜の厚さと処理室内圧力との関係を示す。ただし図4では、シリコン基板103の温度を400° Cに設定し、10分間の酸化処理を行っている。

[0041] 図4を参照するに、前記処理室101内の圧力が約133Pa(1Torr)の時に最も酸化速度は速くなり、この圧力ないしはその近傍の圧力条件が最適であることがわかる。この最適圧力は、前記シリコン基板103の面方位が(100)面である場合に限らず、どの面方位のシリコン表面であっても同じである。

[0042] 所望の膜厚のシリコン酸化膜が形成されたところでマイクロ波パワーの導入を止めプラズマ励起を終了し、さらにKr/O<sub>2</sub>混合ガスをArガスに置換して酸化工程を終了する。本工程の前後にArガスを使用するのはKrより安価なガスをパージガスに使用するためである。本工程に使用されたKrガスは回収再利用する。

[0043] 以上のKr/O<sub>2</sub>プラズマ酸化膜形成に続いて、電極形成工程、保護膜形成工程、水素シタ処理工程等を施してMOSTランジスタやキャパシタを含む半導体集積回路装置を完成させることができる。

[0044] 上記の手順で形成されたシリコン酸化膜中の水素含有量を昇温放出により測定したところ、3nmの膜厚のシリコン酸化膜において面密度換算で10<sup>12</sup>/cm<sup>2</sup>程度以下であった。特にリーク電流が少ない酸化膜においてはシリコン酸化膜内の水素含有

量は、面密度換算で $10^{11}/\text{cm}^2$ 程度以下であることが確認された。一方、酸化膜形成前にKrプラズマの暴露を行わなかった酸化膜は面密度換算で $10^{12}/\text{cm}^2$ を超える水素を含んでいた。

[0045] また、上記の手順で形成されたシリコン酸化膜を剥離した後のシリコン表面と酸化膜形成前のシリコン表面の粗さを原子間力顕微鏡で測定して比較したところ、シリコン表面の荒さが変化していないのが確認された。すなわち、終端水素を除去して酸化した後でもシリコン表面が荒れることはない。

[0046] 本ゲート絶縁膜薄膜形成方法によると、シリコン基板と、MOSTランジスタのゲート絶縁膜として形成されるシリコン酸化膜との、界面に残留する水素が除去され、その界面が平坦化される。この平坦化により、その界面における低界面準位密度を実現することができ、ゲート絶縁膜が薄膜化されても良好な電気的特性（低リーク電流特性、低界面準位密度、高耐圧性、高ホットキャリア耐性、均一なしきい値電圧特性など）が得られるようになっている。また、さらに、如何なる面方位に形成されたゲート絶縁膜もそれらの面方位に対して良好な電気的特性を得る事もできるようになる。

[0047] 次に、上述したゲート絶縁膜薄膜形成方法を利用し、シリコン基板の(100)面のみならず(111)面や(110)面を使用してMOSTランジスタの形成を行なった例を示す。

[0048] 図5は、図2のプラズマ処理装置100により、シリコン基板の(100)面、(111)面、および(110)面を酸化した場合の $\text{Kr}/\text{O}_2$ プラズマ酸化膜の成長レートを、熱酸化膜の成長レートと比較して示している。

[0049] 図5を参照するに、 $\text{Kr}/\text{O}_2$ プラズマ酸化膜では熱酸化膜の場合よりもはるかに大きな成長レートが得られており、活性な原子状酸素 $\text{O}^*$ を使ったSi基板の酸化が非常に効率良く進むことが示されている。さらに図5より、 $\text{Kr}/\text{O}_2$ プラズマ酸化膜では、Si原子の面密度がより大きな(111)面、(110)面上での成長レートが、(100)面上での成長レートよりも小さくなっている事が分かる。これは原料供給律速プロセスから導かれる帰結と一致しており、このようにして形成したプラズマ酸化膜は、優れた膜質を有している事が示唆される。

[0050] これに対し、Si基板の(111)面、(110)面上に熱酸化膜を形成した場合には、(10

0) 面上に熱酸化膜を形成した場合よりも酸化膜の成長レートが大きくなっており、(111) 面、(110) 面上に形成されている熱酸化膜は膜質が劣ることを示唆している。

[0051] 図6はこのようにして形成された $\text{Kr}/\text{O}_2$  プラズマ酸化膜と熱酸化膜とで界面準位密度を比較した結果を示す。

図6を参照するに、 $\text{Kr}/\text{O}_2$  プラズマ酸化膜ではシリコンの(100) 面上に形成された場合でも(111) 面、(110) 面上に形成された場合でも、界面準位密度は(100) 面上に形成された熱酸化膜の界面準位密度よりも低く、非常に高品質な酸化膜が得られているのがわかる。

[0052] これに対し、シリコンの(111) 面、(110) 面上に形成された熱酸化膜では、図5の結果から予測された通り界面準位密度が非常に大きく、MOSTランジスタのゲート絶縁膜に使用した場合には、キャリアの捕獲によるしきい値電圧の変化やゲートリーク電流の増大など、様々な問題が生じると考えられる。

[0053] 図7A～図7Cは、シリコン基板のそれぞれ(100) 面、(111) 面、および(110) 面上に、図2のプラズマ処理装置100によりシリコン酸化膜を形成し、かかるシリコン酸化膜をゲート絶縁膜としてpチャネルMOSTランジスタを形成した場合のドレイン電圧対規格化ドレイン電流特性を示す。ただし図7A、図7Bでは、シリコン酸化膜を前記 $\text{Kr}/\text{O}_2$  プラズマ処理により形成した場合と熱酸化処理により形成した場合の両方を示している。これに対し、図7Cでは、熱酸化処理では(110) 面上に酸化膜が形成できないため、 $\text{Kr}/\text{O}_2$  プラズマ処理により形成したゲート酸化膜の例のみを示している。図7Aの結果は、ゲート長が $10\text{ }\mu\text{m}$ でゲート幅が $50\text{ }\mu\text{m}$ のpチャネルMOSTランジスタについてのものであり、図7B、図7Cの結果は、ゲート長が $10\text{ }\mu\text{m}$ でゲート幅が $300\text{ }\mu\text{m}$ のpチャネルMOSTランジスタについてのものである。

[0054] 図7A～図7Cを参照するに、pチャネルMOSTランジスタのドレイン電流、従って相互コンダクタンスないし電流駆動能力は、ランジスタをシリコンの(100) 面以外の結晶面、例えば(111) 面あるいは(110) 面上に形成することにより増大させることが可能であること、特にpチャネルMOSTランジスタをシリコンの(111) 面上に形成した場合に(100) 面上に形成したpチャネルMOSTランジスタの約1.3倍の電流駆動能力が得られること、また(110) 面上に形成した場合には約1.8倍の電流駆動能力が

得られることがわかる。

[0055] 図8は、NチャネルMOSTランジスタの構成例である。

同図に示されるNチャネルMOSTランジスタは、(110)面を主面とするSi基板710の上に、先に図2で説明したプラズマ処理装置100によってシリコン酸化膜が一様に形成され、その形成されたシリコン酸化膜の上にポリシリコンゲート電極730が形成されている。さらに、かかるゲート電極730のパターニングに伴って前記シリコン酸化膜もパターニングされ、前記ゲート電極730に対応してゲート絶縁膜720が同図の太い実線と破線で囲まれる領域に形成される。

[0056] そして、前記ゲート電極730を自己整合マスクにn型不純物をイオン注入することにより、前記ゲート電極730の両側にn型拡散領域710aおよび710bが形成される。その結果、前記Si基板710上にnチャネルMOSTランジスタが形成される。なお、同図においては、上記n型拡散領域710aおよび710b間にチャンネルが形成された際のその形成範囲を斜線で示す事とした。

[0057] なお、同図はnチャネルMOSTランジスタの構成例であるが、ゲート電極を自己整合マスクにp型不純物をイオン注入して、そのゲート電極の両側にp型拡散領域を形成することにより、Si基板上にpチャネルMOSTランジスタを形成することもできる。

[0058] このように構成したMOSTランジスタにおいては、Si基板の(100)結晶面とゲート酸化膜の界面で低界面準位密度を実現できるので、1/f雑音を低減でき、良好な電気的特性が安定して得られる。

[0059] このため、素子間における電気的特性のバラツキを低下させたより安定なMOSTランジスタを構成できる。

なお、上記構成例ではSi基板の(110)面に対してランジスタを形成したが、その他の(100)面や(111)面に形成しても、上述した効果は得られる。

[0060] 次に、上記(110)面のように一方位の結晶面のみにランジスタを構成するのではなく、複数の方位を有する結晶面を同時に利用してランジスタを構成(立体構成)する例を示す。

[0061] 図9、10は、pチャネルMOSTランジスタ及びNチャネルMOSTランジスタからなるCMOS (Complementary Metal Oxide Semiconductor)ランジスタの構成例である。

[0062] ただし図10は、図9の一部を取り出して示した図である。

図9、10を参照するに、CMOSトランジスタ800は素子分離領域805により隔てられたn型領域Aとp型領域Bとが形成された(100)面を主面とするSi基板810上に形成されており、図10に示すように、前記領域Aには幅が $W_{1A}$ で高さが $H_A$ の突出部810Aが、また領域Bには幅が $W_{1B}$ で高さが $H_B$ の突出部810Bが両側壁面に形成されている。図10よりわかるように、前記突出部810A、810Bの頂面は(100)面により、側壁面は(110)面により画成されている。

[0063] 図10のSi基板810上には、先に図2で説明したプラズマ処理装置100によりシリコン酸化膜が一様に形成されており、さらにその上に、図9に示すポリシリコンゲート電極830Aおよび830Bが、それぞれ領域AおよびB上に形成されている。さらにかかるゲート電極830Aおよび830Bのパターニングに伴って前記シリコン酸化膜もパターニングされ、前記ゲート電極830Aに対応してゲート絶縁膜820Aが、またゲート電極830Bに対応してゲート絶縁膜820Bが、同図に太い実線と斜線で囲まれる領域に形成される。

[0064] さらに図9のCMOSトランジスタ800では、前記n型領域Aにおいて前記ゲート電極830Aを自己整合マスクにn型不純物をイオン注入することにより、前記ゲート電極830Aの両側に、前記突出部810Aをも含んでn型拡散領域810aおよび810bが形成される。同様に、前記p型領域Bにおいても前記ゲート電極830Bの両側に、前記突出部810Bをも含んでp型拡散領域810cおよび810dが形成される。その結果、前記Si基板810上には前記領域AにnチャネルMOSTランジスタ840Aが、また前記領域BにpチャネルMOSTランジスタ840Bが形成される。

[0065] 本例に示すCMOSトランジスタ800では、nチャネルMOSTランジスタ840Aはゲート長 $L_{gA}$ をまたpチャネルMOSTランジスタ840Bはゲート長 $L_{gB}$ を有し、前記ゲート電極830Aは、Si基板810の平坦部を、前記突出部810Aのそれぞれの側において、ゲート幅 $W_{2A}/2$ で覆う。その結果、前記ゲート電極830Aの(100)面上におけるゲート幅は、前記突出部810Aの頂部を含めて、 $W_{1A} + W_{2A}$ により与えられる。これに対し、前記ゲート電極830Aの(110)面上におけるゲート幅は両側壁面に形成されているので $2H_A$ で与えられ、その結果、前記領域Aに形成されるnチャネルMOSTラ

ンジスタ840Aの電流駆動能力は、式  $\mu_{n1}(W_{1A}+W_{2A})+2\mu_{n2}H_A$  により与えられる。ただし  $\mu_{n1}$  は、(100)面における電子移動度を、 $\mu_{n2}$  は(110)面における電子移動度を表す。

同様に、前記領域Bに形成されるpチャネルMOSTランジスタ840Bの電流駆動能力は、式  $\mu_{p1}(W_{1B}+W_{2B})+2\mu_{p2}H_B$  により与えられる。ただし  $\mu_{p1}$  は、(100)面におけるホール移動度を、 $\mu_{p2}$  は(110)面におけるホール移動度を表す。

[0066] このように、Si基板の(100)結晶面とゲート酸化膜の界面で低界面準位密度を実現できるので、1/f雑音を低減でき、良好な電気的特性が安定して得られる。Si基板810の主面とする(100)面に加え、それとは異なる面方位の(110)面に対してゲートを形成できるので、上記主面のゲート幅を小さくして素子面積を小さくし、主面のゲート幅を上記(110)面に対して形成したゲートのゲート幅で補填することができる。その結果、トランジスタ素子を小型化することが可能になる。

[0067] なお、上述した例では側壁面へ形成するトランジスタを両側壁面に対して形成したが、片側壁面であってもよい。

また、上記  $H_A$  を0とする構成にすることもできる。

[0068] また、同図においては、Si基板810上方のn型拡散領域810aおよび810b間、或いはp型拡散領域810c及び810d間に、ゲート絶縁膜820A或いは820Bに沿ってチャネルが夫々形成された際のその形成範囲を斜線で示すこととした。この図からも明らかなように、上述したゲート絶縁膜に沿ってSi基板中に形成されるチャネルのチャネル幅は、例えばnチャネルMOSTランジスタ840Aで言えば、(100)面の上記  $W_{1A}+W_{2A}$  及び(110)面の上記  $2H_A$  の総和に追従し、例えばpチャネルMOSTランジスタ840Bで言えば、(100)面の上記  $W_{1B}+W_{2B}$  及び(110)面の上記  $2H_B$  の総和に追従する。

[0069] よって、 $W_{1A}+W_{2A}=W_{1B}+W_{2B}$ 、 $\mu_{n1}(W_{1A}+W_{2A})+2\mu_{n2}H_A=\mu_{p1}(W_{1B}+W_{2B})+2\mu_{p2}H_B$  を満たすように、 $H_A$  及び  $H_B$  を決めれば、nチャネルMOSTランジスタ及びpチャネルMOSTランジスタは互いの素子面積が一致し、かつ電流駆動能力が一致したCMOSTランジスタを構成できるようになる。

[0070] 同図に斜線で示されるようにチャネルが立体的に形成されることにより、一平面に形

成されるチャネルにおけるピンチオフ点(チャネルキャリア密度が略0になる点)の移動に基づく実行ゲート長の減少が抑制され、飽和領域におけるドレイン電流の増加が抑制できる。

[0071] その結果、MOSTランジスタによって増幅される信号における信号歪が低減される事となる。

ここではCMOSTランジスタの構成例を示した。しかし、当然、相補型としない構成、すなわちnチャネルMOSTランジスタ840A或いはpチャネルMOSTランジスタ840Bのみを、上述したように(100)面、(110)面を使用して立体的に構成することもできる。そして、当然、そのようにnチャネルMOSTランジスタ、或いはpチャネルMOSTランジスタのみにあっても、上述した作用効果が同様に得られる。

[0072] このように、プラズマ処理装置100によりシリコン酸化膜が如何なる面方位に対しても一様に形成されることにより、1/f雑音が低減され、複数の面方位にゲートを形成してランジスタを立体構造にすることにより、チャネル長変調効果が低減され、素子間にバラツキのない良好な電気的特性を得る事が可能となる。また、上記立体構造としたことにより素子面積を小さくできる。

[0073] さらに、立体構造をなすCMOSTランジスタでは、バランスの良い電気的特性を有しながら、その素子面積を大幅に小型化できるようになる。

次に、上記ゲート絶縁膜薄膜形成方法を用いて形成した上記立体構造のMOSTランジスタの、pチャネルMOSTランジスタ及びnチャネルMOSTランジスタからなるCMOSTランジスタを適用した低雑音増幅器の回路構成を示す。

[0074] 図11は、上記CMOSTランジスタを適用して構成した低雑音増幅器の一回路図である。

同図に示されるように、当該低雑音増幅器の回路1000は、pチャネルMOSTランジスタM1とnチャネルMOSTランジスタM2を組み合わせたCMOSTランジスタ1002と、コンデンサC1とnチャネルMOSTランジスタM3とオペアンプOP1とを組み合わせた動作点決定回路1004とからなる。

[0075] 先ず、上記CMOSTランジスタ1002においては、pチャネルMOSTランジスタM1のゲートとnチャネルMOSTランジスタM2のゲートに対して共通の入力電圧(例えば

アンテナで受信した搬送波に基づいて変化する入力電圧など)を加える。そして、pチャネルMOSTランジスタM1とnチャネルMOSTランジスタM2を信号増幅器として機能させる。さらに、本回路においては高い電圧利得を得るためにpチャネルMOSTランジスタM1のドレインに電圧源VDDを加える。そして、pチャネルMOSTランジスタM1のソースとnチャネルMOSTランジスタM2のドレインに上記入力電圧の増幅電圧が出力される。

[0076] 一方、上記動作点決定回路1004は、pチャネルMOSTランジスタM1のバイアス電流とドレイン電圧が電源電圧VDDによって影響を受けやすいため、pチャネルMOSTランジスタM1のソースとnチャネルMOSTランジスタM2の間に挿入され、 $g_m$ を抑制して熱雑音と $1/f$ 雑音が低下するように、基準電圧( $V_{ref}$ )を基準に上記増幅電圧を制御し、その動作点を決定する。なお、C1は熱雑音を減らすために挿入されている。

[0077] 本回路に示されるCMOSTランジスタ1002は、pチャネルMOSTランジスタM1及びnチャネルMOSTランジスタM2から発生する $1/f$ 雑音が大幅に低減される。また、互いのMOSTランジスタ(M1及びM2)の素子面積を同一にしても互いにバラツキのない同一の電気的特性を得ることができる。さらに、pチャネルMOSTランジスタ及びnチャネルMOSTランジスタの互いの寄生容量を一致させることができ、ゲートソース間電圧に対する互いのドレイン電流の立上がり特性と立下り特性のずれを大幅に緩和することができる。

[0078] よって、上記回路においては $1/f$ 雑音は勿論のことそのランジスタ素子の電気的特性のバラツキによって生じる信号歪の影響が大幅に改善され、従来以上に低雑音で高利得な低雑音増幅器を構成できる。

[0079] そのため、低雑音増幅器において発生する $1/f$ 雑音や信号歪を低減させるための回路を新たに設ける必要がなくなり、低雑音増幅器を小型化できる。

また、本発明の実施形態の低雑音増幅器をダイレクトコンバージョン受信方式の回路に適用できる。

[0080] 図12は、当該ダイレクトコンバージョン受信方式の回路に当該低雑音増幅器を適用した場合の例である。同図に示されるように、従来技術で説明した低雑音増幅器4



の位置に当該発明の実施形態である低雑音増幅器1200を挿入できる。(なお、このダイレクトコンバージョン受信方式の構成や動作は、図1を用いて従来技術で詳しく説明しているため、この説明はここでは省略する)。

[0081] このように、ダイレクトコンバージョン受信方式に本発明の実施の形態の低雑音増幅器の構成を適用すれば、上記ダイレクトコンバージョン受信方式において先ず始めに利得を有する低雑音増幅器において $1/f$ 雑音が低減できるので、その後段において復調される信号の $S/N$ 比は向上し、ダイレクトコンバージョン受信方式によって復調する信号の品質を高くすることが可能になる。また、本発明の実施の形態の低雑音増幅器を適用すれば、その後段の回路において、 $1/f$ 雑音や信号歪を低減させるための回路を新たに設ける必要がなくなり、ダイレクトコンバージョン受信機を小型化できる。

[0082] さらに、上記立体構造のCMOSTランジスタを適用することにより、小型化、低消費電力、かつ高性能な低雑音増幅器或いはダイレクトコンバージョン受信器を構成できる。

また、本発明の実施の形態における低雑音増幅器をスーパーヘテロダイン方式の受信機に適用することも可能である。スーパーヘテロダイン方式では、雑音の影響を抑えるために例えば80dbなどに一旦上げた利得をIF段で例えば60dbに下げ、その後段でバイポーラ等を用いて再度80dbに上げるなどの方式をとる。しかし、本発明の実施の形態の低雑音増幅器を適用することにより、雑音の影響を低減させることができるため、IF段における利得の低下を改善し $S/N$ 比を向上させることが可能になる。

[0083] なお、本発明の実施の形態においては、ゲート絶縁膜の形成方法として、低雑音増幅器のノイズ低減に最も好適に作用する公知のゲート絶縁膜薄膜形成技術を適用して説明してきたが、このゲート絶縁膜薄膜形成技術に限らず、低雑音増幅器の用途先によって適宜、その他のゲート絶縁膜形成方法を適用してもよい。

[0084] 以上述べたように、本発明の実施形態によれば、低雑音増幅器における $1/f$ 雑音の発生及びトランジスタ素子毎の電気的特性のバラツキを大幅に改善することが可能になる。

よって、低雑音増幅器によって出力信号に与えられる $1/f$ 雑音や信号歪が大幅に低減され、それらの低減を補償する回路が不要になり、小型化が可能になる。

[0085] さらに、nチャネルMOSトランジスタ及びpチャネルMOSトランジスタの電流駆動能力を一致させたCMOSトランジスタを有する低雑音増幅器を構成することにより、出力信号における信号歪を大幅に低減し、小型化、低消費電力、かつ高性能な低雑音増幅器を実現することが可能になる。

[0086] また、本発明の低雑音増幅器が含まれるダイレクトコンバージョン受信機は小型化され、さらに、S/N比が向上して復調信号の品質が高まる。

なお、本発明は、その精神または主要な特徴から逸脱することなく、他のいろいろな形で実施することができる。そのため、前述の実施例はあらゆる点で単なる例示にすぎず、限定的に解釈してはならない。本発明の範囲は、特許請求の範囲によって示すものであって、明細書本文には、なんら拘束されない。さらに、特許請求の範囲の均等範囲に属する変形や変更は、すべて本発明の範囲内のものである。

## 請求の範囲

- [1] MISTランジスタを有し、雑音を低レベルに抑えて入力信号を増幅する低雑音増幅器であって、
- 前記MISTランジスタは、
- 第1の結晶面を主面として有する半導体基板と、
- 該半導体基板の一部として形成され、前記第1の結晶面とは異なった第2の結晶面により画成された1対の側壁面と、前記第2の結晶面とは異なった第3の結晶面により画成された頂面とよりなる、半導体構造と、
- 前記主面及び前記側壁面及び前記頂面を一樣な厚さで覆うゲート絶縁膜と、
- 前記主面及び前記側壁面及び前記頂面を、前記ゲート絶縁膜を介して連続的に覆うゲート電極と、
- 前記半導体基板中及び前記半導体構造中の、前記ゲート電極を介する一方側及び他方側に形成され、いずれも前記主面及び前記側壁面及び前記頂面に沿って連続的に延在する、同一導電型拡散領域と、
- よりなるMISTランジスタである、
- ことを特徴とする低雑音増幅器。
- [2] MISTランジスタを有し、雑音を低レベルに抑えて入力信号を増幅する低雑音増幅器であって、
- 前記MISTランジスタは、
- 表面が少なくとも二つの異なる結晶面を有する凸部を主面に対して構成する半導体基板と、
- 前記凸部の表面を構成する前記少なくとも二つの異なる結晶面の各々の少なくとも一部を覆うゲート絶縁膜と、
- 前記半導体基板と電氣的に絶縁されるように前記ゲート絶縁膜を介して構成され、かつ前記凸部の表面を構成する前記少なくとも二つの異なる結晶面の各々に対して構成されるゲート電極と、
- 前記凸部の表面を構成する前記少なくとも二つの異なる結晶面の各々に面して前記凸部中に形成され、かつ前記ゲート電極の両側にそれぞれ形成される同一導電

型拡散領域と、

よりなるMISTランジスタである、

ことを特徴とする低雑音増幅器。

- [3] MISTランジスタを有し、雑音を低レベルに抑えて入力信号を増幅する低雑音増幅器であって、

前記MISTランジスタは、

少なくとも二つの結晶面を有する半導体基板と、

該半導体基板上であって前記結晶面の少なくとも二つに対して形成したゲート絶縁膜と、

該ゲート絶縁膜を挟んで前記半導体基板上に形成したゲート電極と、

を有し、

該ゲート電極に電圧を加えた際に前記ゲート絶縁膜に沿って前記半導体基板中に形成されるチャネルのチャネル幅が、前記少なくとも二つの結晶面に対して各々形成されるチャネルの各チャネル幅の総和で示される、

立体構造MISTランジスタである、

ことを特徴とする低雑音増幅器。

- [4] 前記MISTランジスタは、

前記半導体基板がシリコン基板であり、

前記シリコン基板の表面に形成されたゲート絶縁膜が、前記シリコン基板の表面を所定の不活性ガスによるプラズマに曝して水素を除去することにより形成され、前記シリコン基板と前記ゲート絶縁膜との界面における前記水素の含有量が面密度換算で $10^{11}/\text{cm}^2$ 以下となる、ことを特徴とする請求の範囲第1項乃至第3項の何れか一つに記載の低雑音増幅器。

- [5] 前記少なくとも二つの結晶面は、(100)面、(110)面、(111)面の内の何れか異なる二つの結晶面が組み合わされてなる、

ことを特徴とする請求の範囲第4項に記載の低雑音増幅器。

- [6] nチャネルMOSTランジスタ及びpチャネルMOSTランジスタからなるCMOSTランジスタを有し、

前記nチャネルMOSTランジスタまたは前記pチャネルMOSTランジスタの少なくとも一方が請求の範囲第1項または第3項に記載の低雑音増幅器のMISTランジスタによって構成される、

ことを特徴とする低雑音増幅器。

- [7] 前記pチャネルMOSTランジスタと前記nチャネルMOSTランジスタの素子面積及び電流駆動能力は略一致する、ことを特徴とする請求の範囲第6項に記載の低雑音増幅器。

- [8] 前記pチャネルMOSTランジスタのゲートと前記nチャネルMOSTランジスタのゲートに対し、前記入力信号に基づく入力電圧が共通に加わり、

前記pチャネルMOSTランジスタのドレイン側に電圧源が設けられ、

前記pチャネルMOSTランジスタのソースと前記nチャネルMOSTランジスタのドレインとが共通接続され、

前記nチャネルMOSTランジスタのソースとドレインとの間に動作点決定用の直流フィードバック回路が接続され、

前記pチャネルMOSTランジスタのソースと前記nチャネルMOSTランジスタのドレインとの前記共通接続された接続ラインに現れる電圧が前記入力電圧の増幅電圧として出力される、

ことを特徴とする請求の範囲第6項に記載の低雑音増幅器。

- [9] 前記pチャネルMOSTランジスタのゲートと前記nチャネルMOSTランジスタのゲートに対し、前記入力信号に基づく入力電圧が共通に加わり、

前記pチャネルMOSTランジスタのドレイン側に電圧源が設けられ、

前記pチャネルMOSTランジスタのソースと前記nチャネルMOSTランジスタのドレインとが共通接続され、

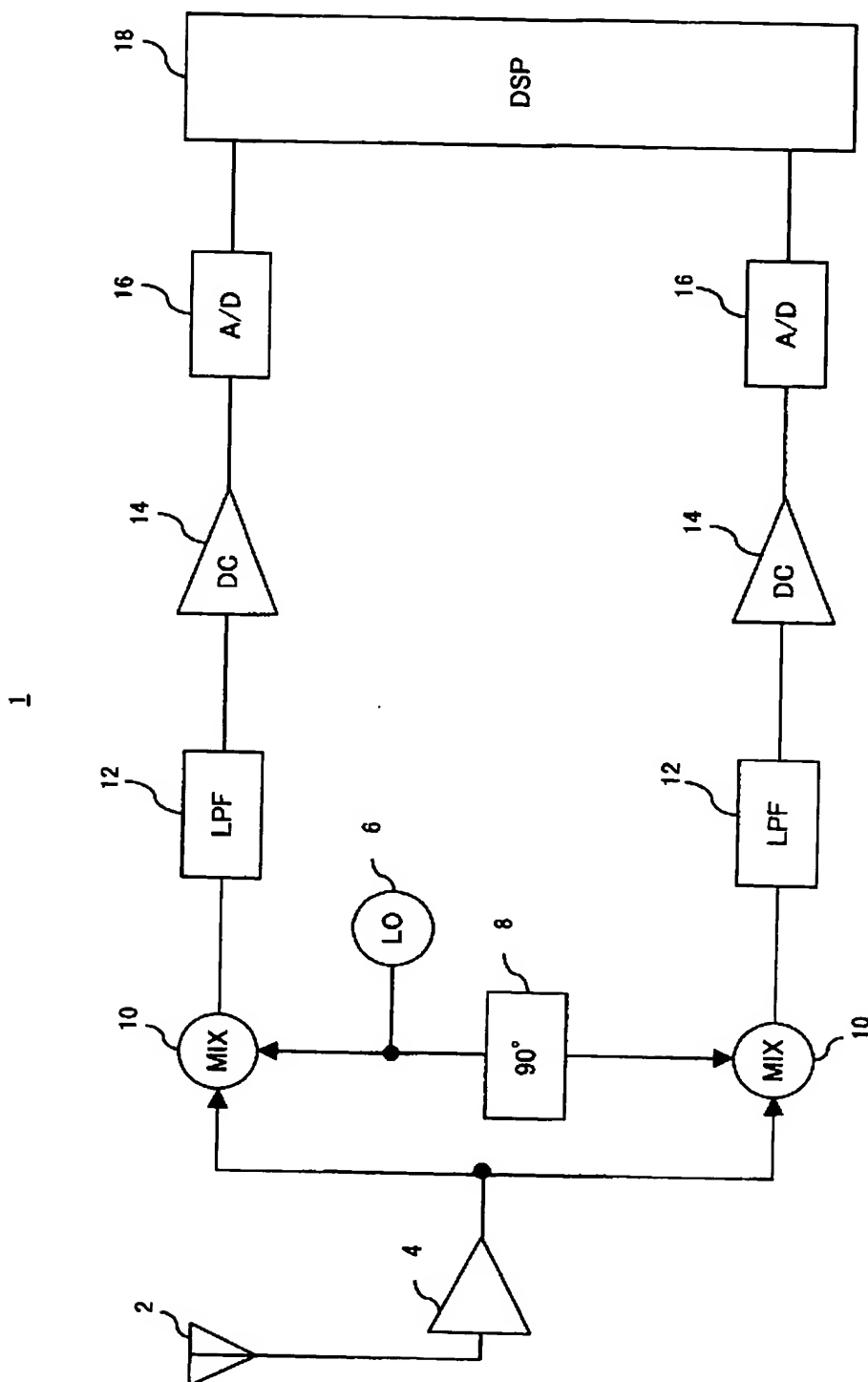
前記nチャネルMOSTランジスタのソースとドレインとの間に動作点決定用の直流フィードバック回路が接続され、

前記pチャネルMOSTランジスタのソースと前記nチャネルMOSTランジスタのドレインとの前記共通接続された接続ラインに現れる電圧が前記入力電圧の増幅電圧として出力される、

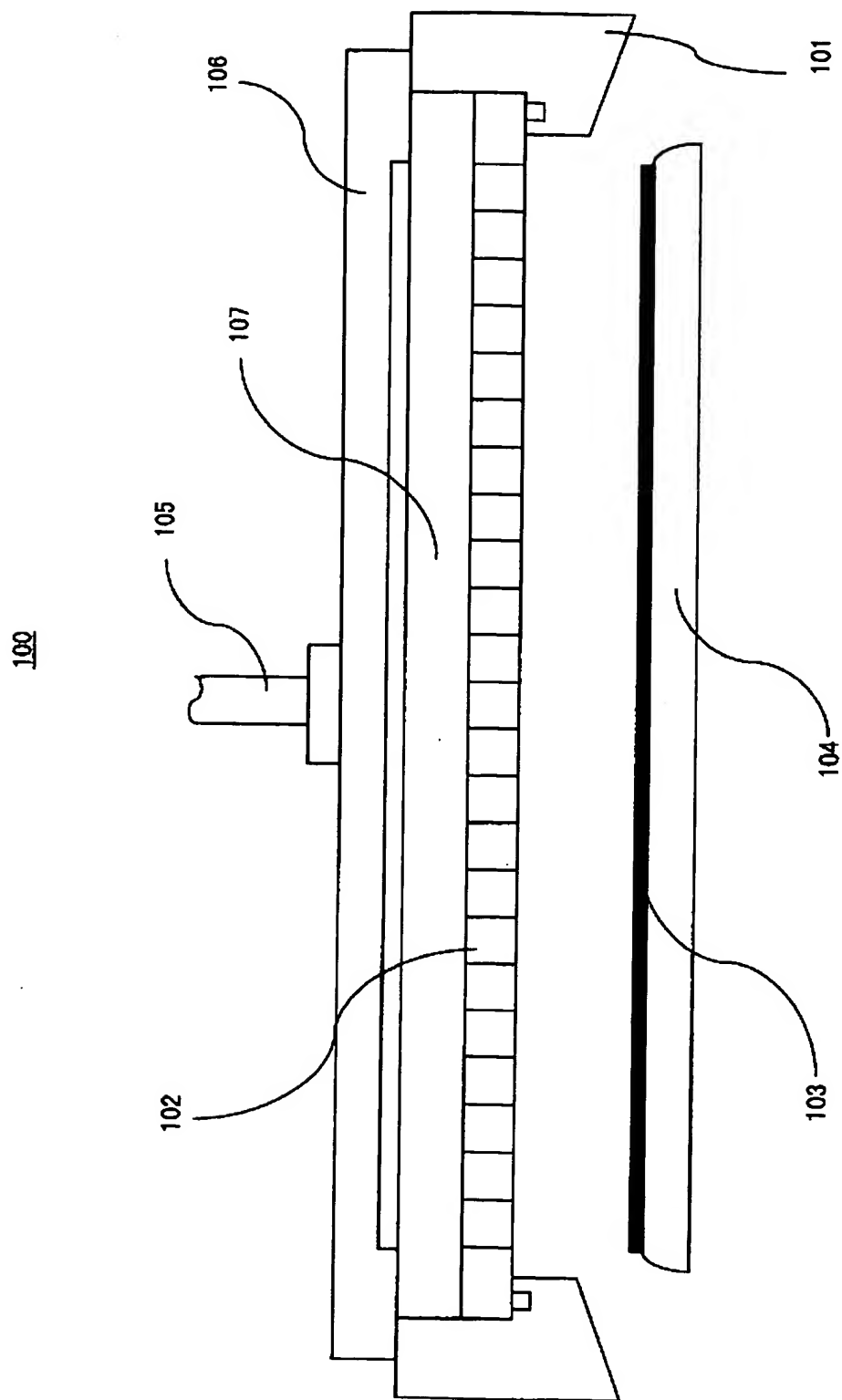
ことを特徴とする請求の範囲第7項に記載の低雑音増幅器。

- [10]     ダイレクトコンバージョン受信方式で使用されることを特徴とする請求の範囲第1項乃至第3項の内の何れか一つに記載の低雑音増幅器。

[図1]

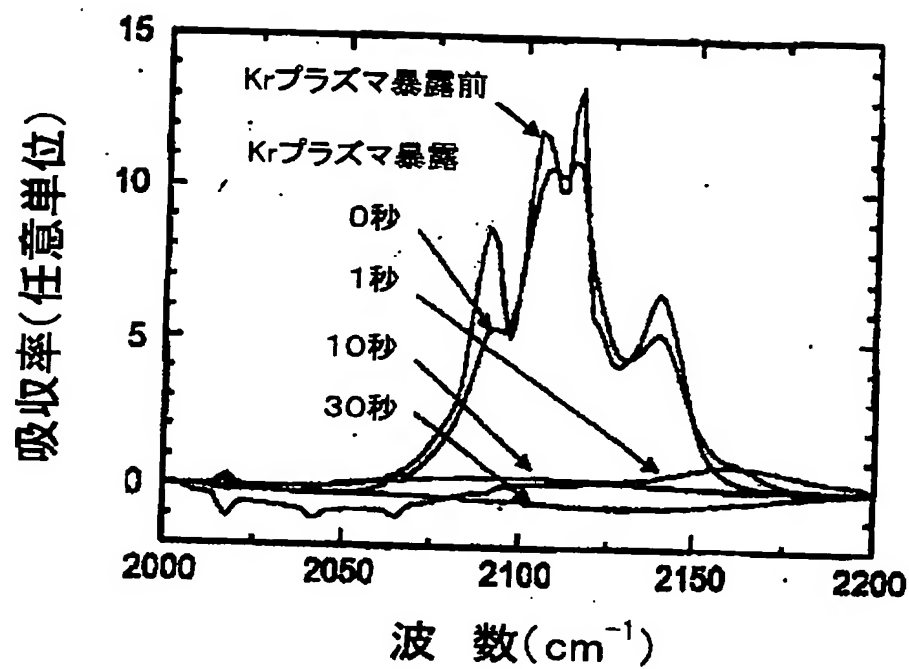


[図2]

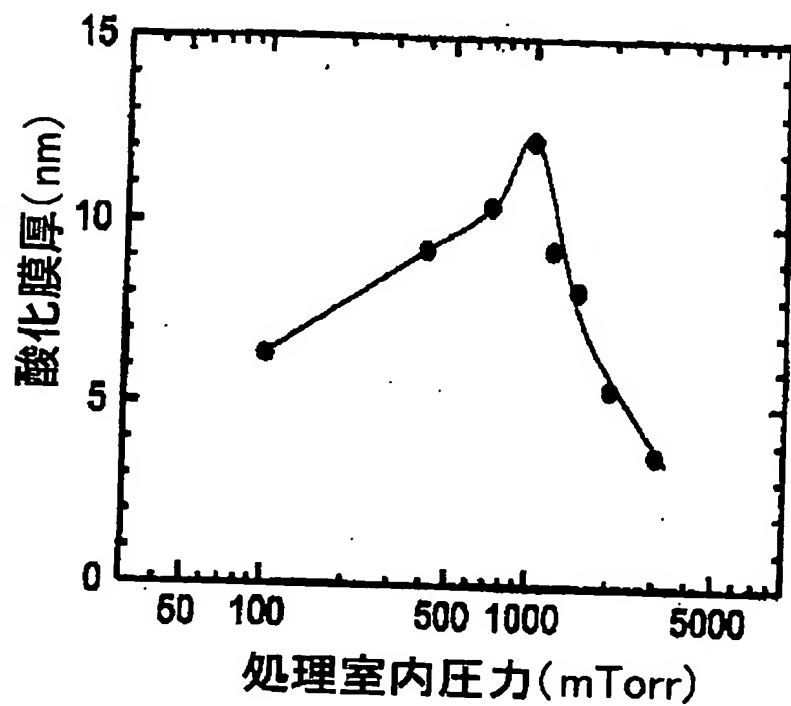




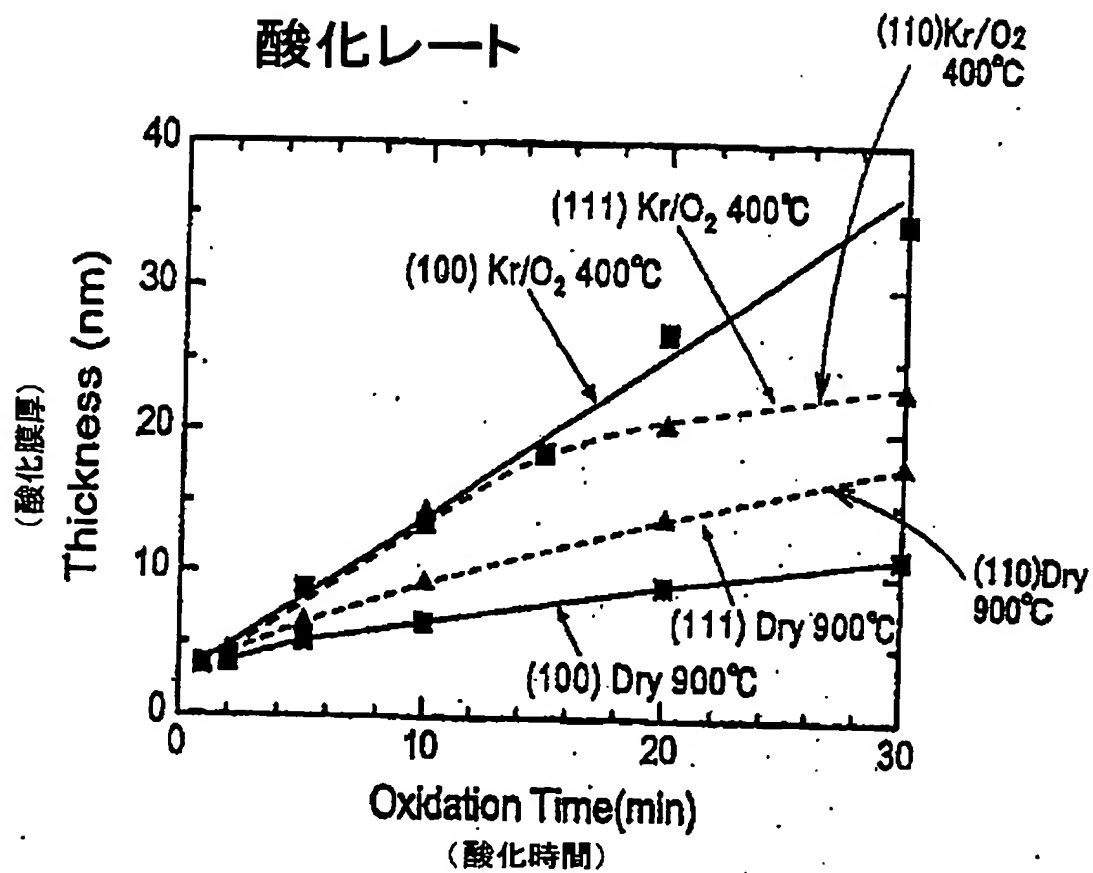
[図3]



[図4]

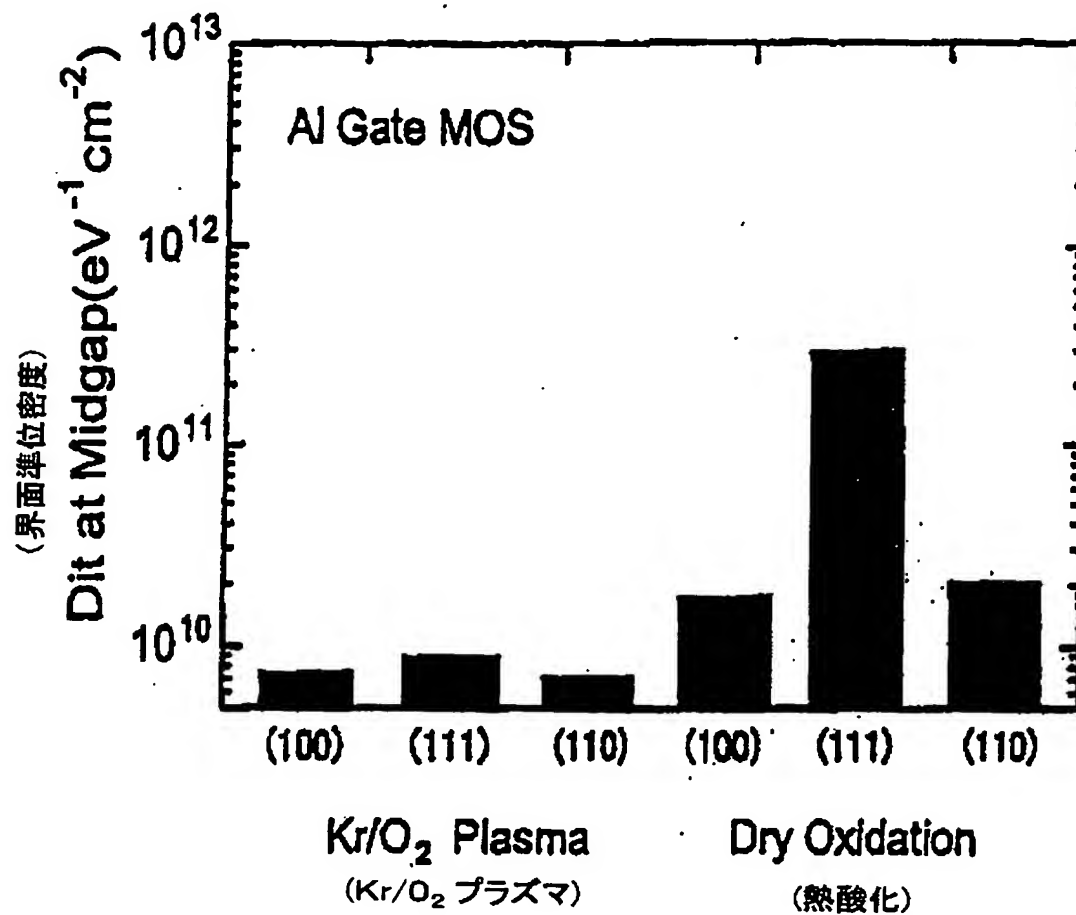


[図5]

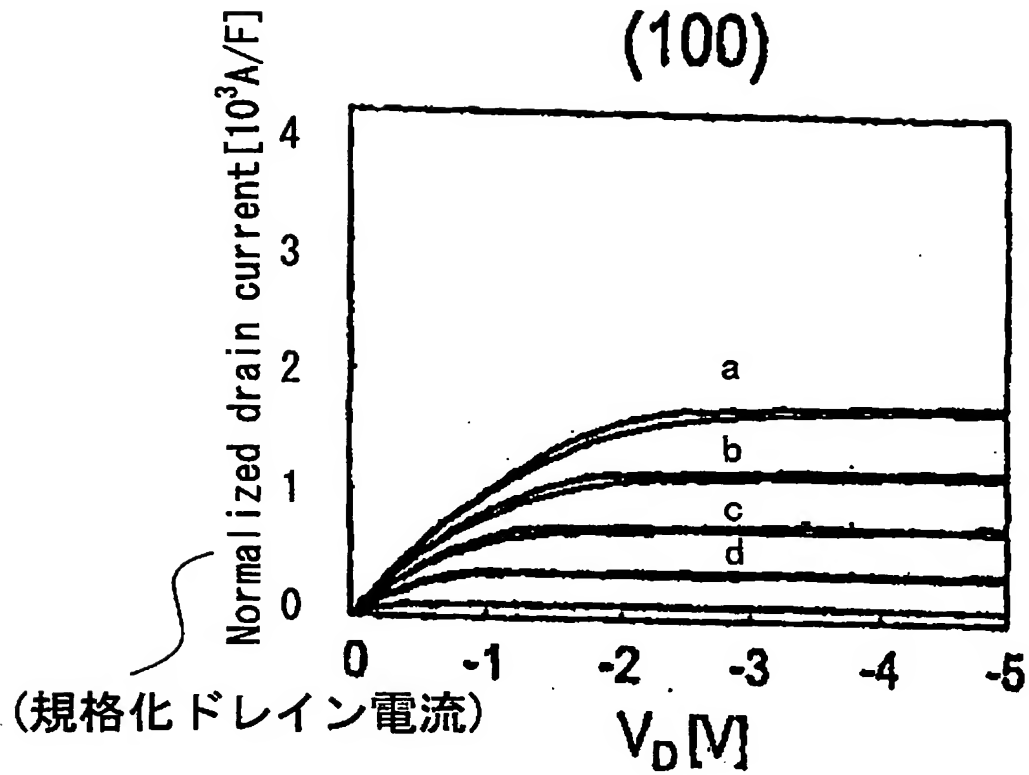


[図6]

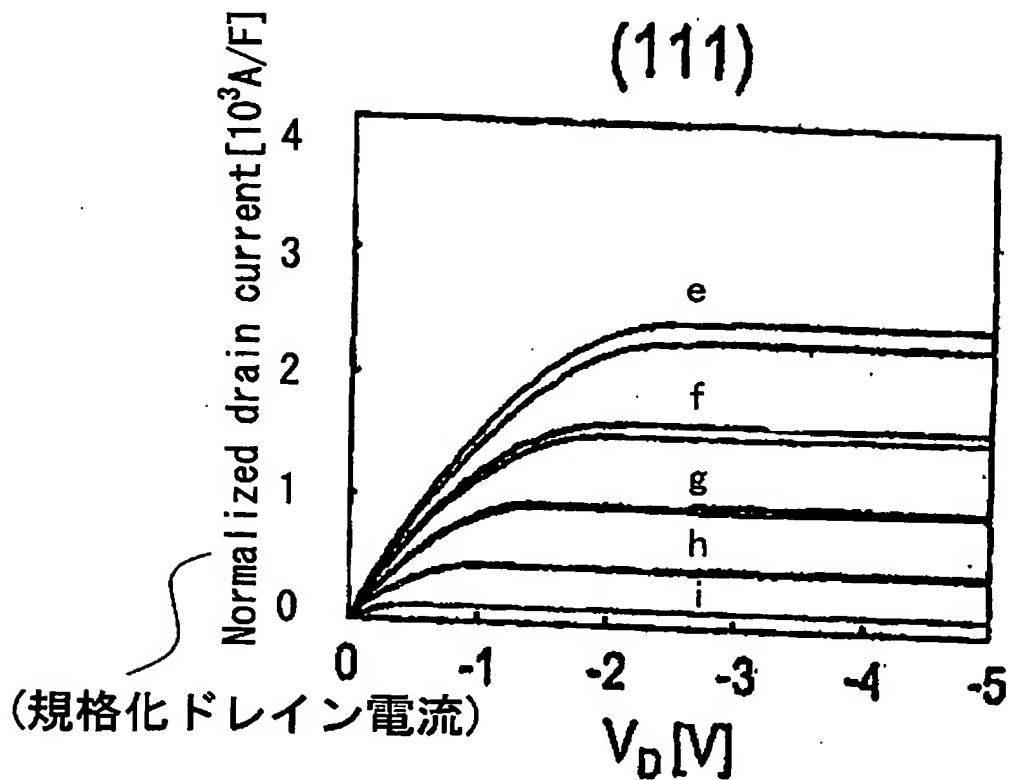
## 界面準位密度(100) vs. (111)



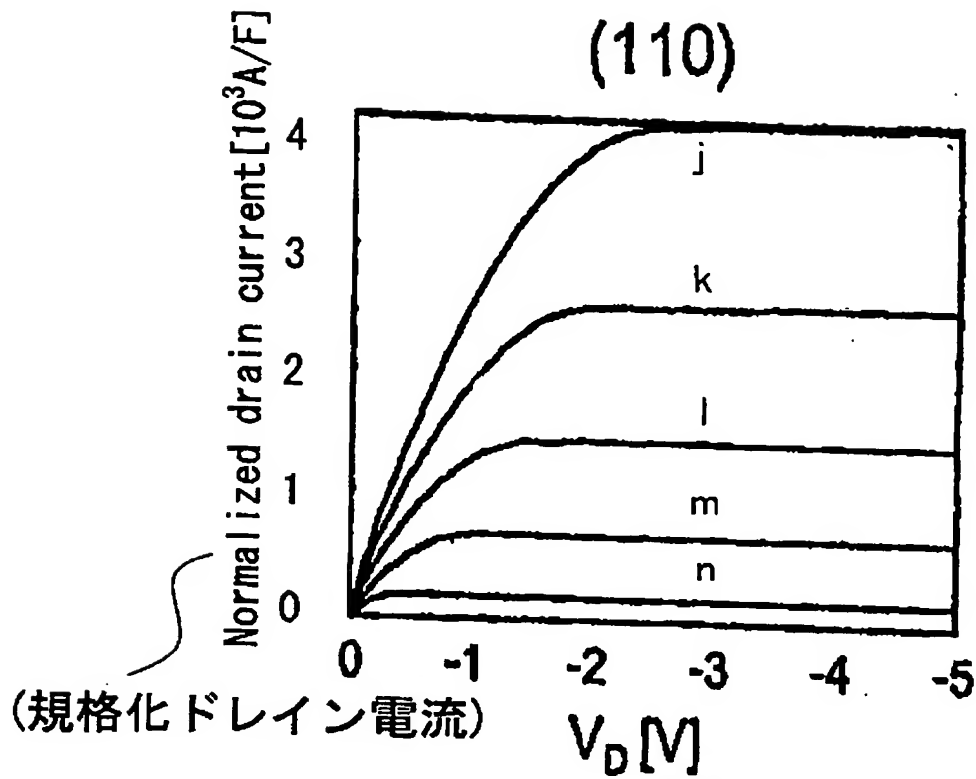
[図7A]

a:  $V_G - V_T = -2.5 \text{ V}$ b:  $V_G - V_T = -2.0 \text{ V}$ c:  $V_G - V_T = -1.5 \text{ V}$ d:  $V_G - V_T = -1.0 \text{ V}$

[図7B]

e:  $V_G - V_T = -2.5 \text{V}$ f:  $V_G - V_T = -2.0 \text{V}$ g:  $V_G - V_T = -1.5 \text{V}$ h:  $V_G - V_T = -1.0 \text{V}$ i:  $V_G - V_T = -0.5 \text{V}$

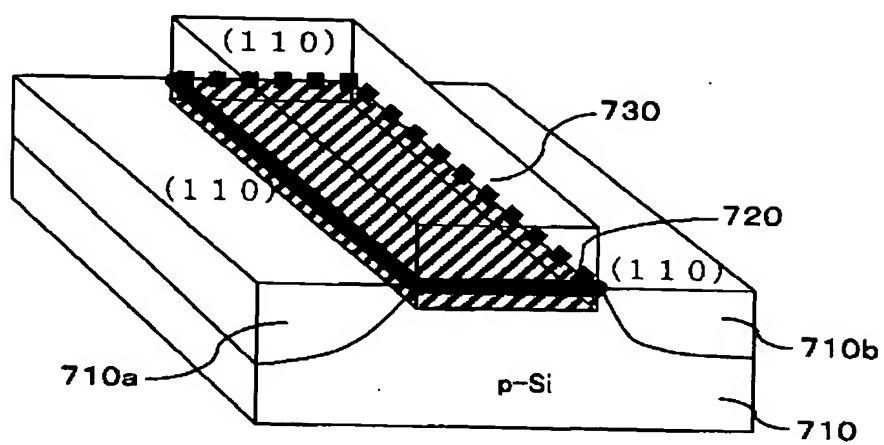
[図7C]



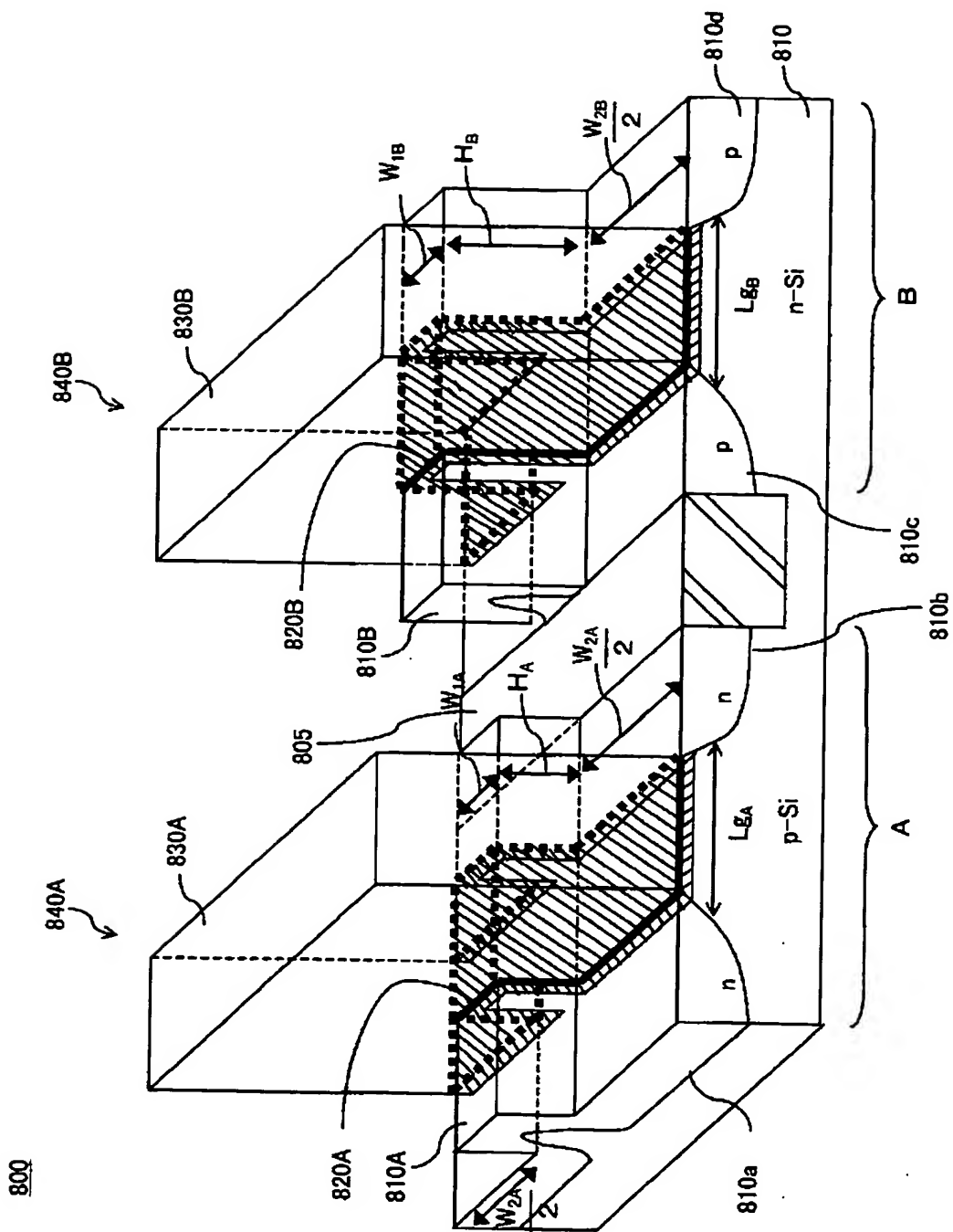
(ドレイン電圧)

j:  $V_G - V_T = -2.5 \text{ V}$ k:  $V_G - V_T = -2.0 \text{ V}$ l:  $V_G - V_T = -1.5 \text{ V}$ m:  $V_G - V_T = -1.0 \text{ V}$ n:  $V_G - V_T = -0.5 \text{ V}$

[図8]

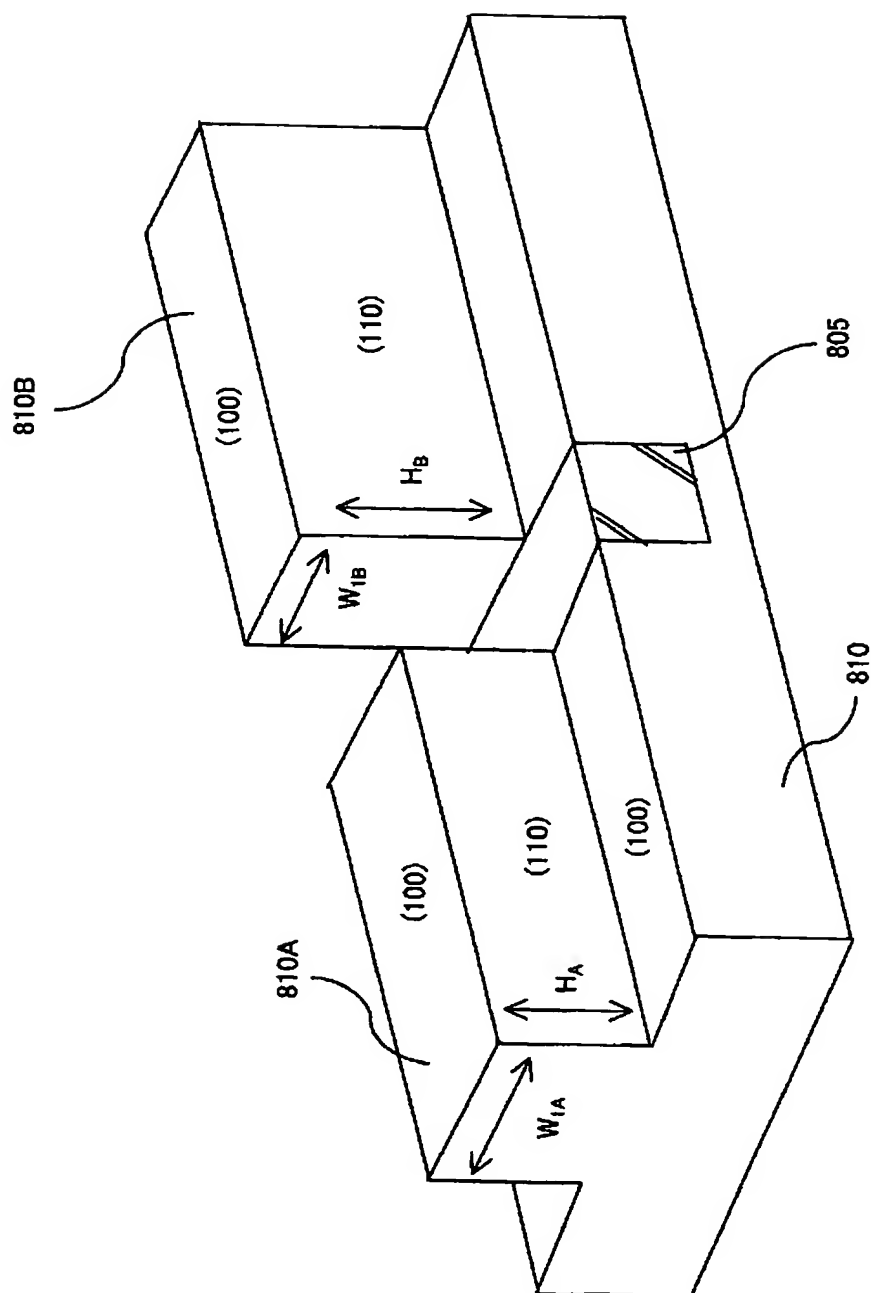


[図9]

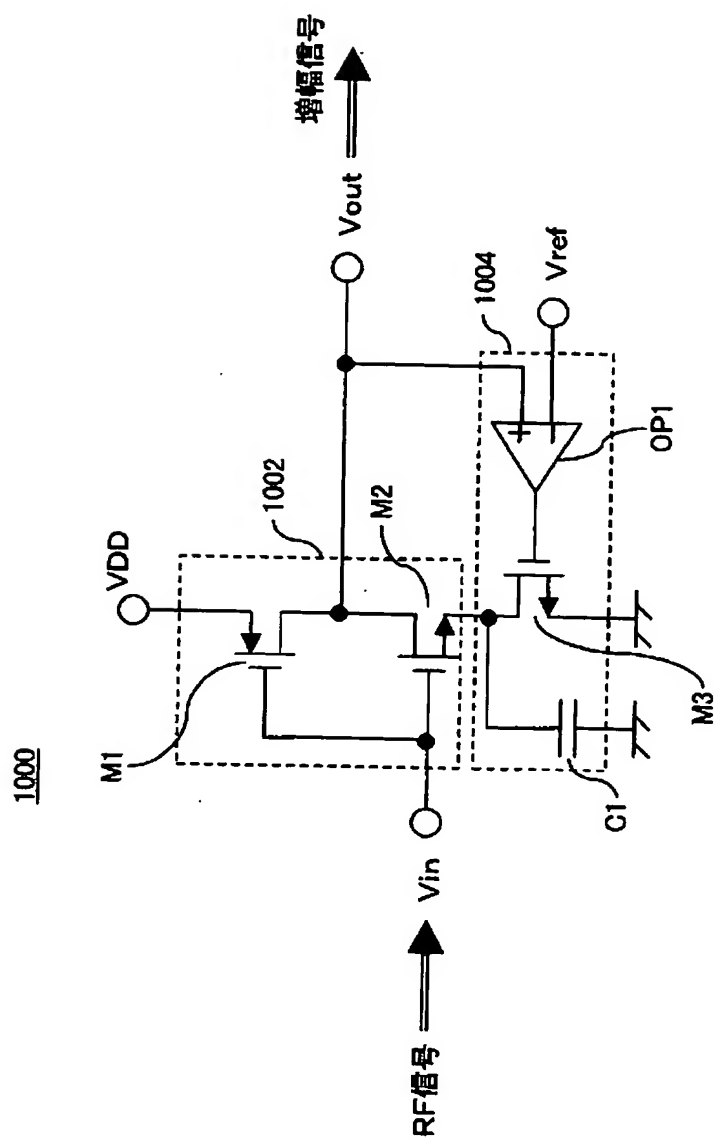




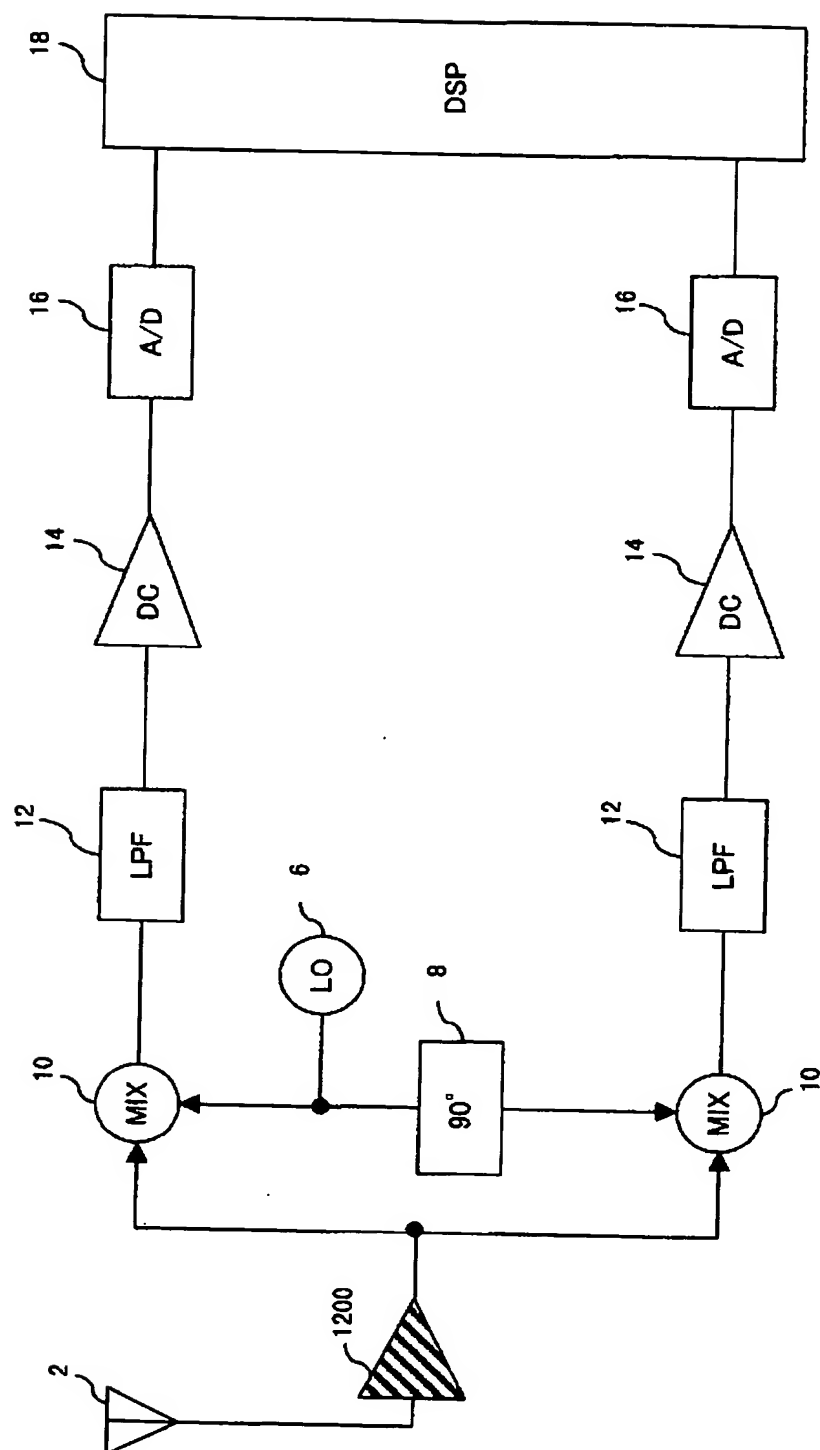
[図10]



[図11]



[図12]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/008217

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H03F1/26, 3/19, H01L27/08, 29/78

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H03F1/26, 3/19, H01L27/08, 29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004  
 Kokai Jitsuyo Shinan Koho 1971-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-299613 A (Toshiba Corp.), 11 October, 2002 (11.10.02), Full text (Family: none)	1-10
A	JP 2002-110963 A (Toshiba Corp.), 12 April, 2002 (12.04.02), Full text & US 2002-36290 A1	1-10
A	JP 3-81324 B (Toshiba Corp.), 27 December, 1991 (27.12.91), Full text & EP 0088291 A1 & US 4518880 A1	8, 9

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
07 September, 2004 (07.09.04)Date of mailing of the international search report  
28 September, 2004 (28.09.04)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/008217

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X	JP 2003-188273 A (Tadahiro OMI), 04 July, 2003 (04.07.03), Full text & WO 2003/054962 A1 & CA 2438214 A	1-10

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H03F1/26, 3/19,  
H01L27/08, 29/78

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H03F1/26, 3/19,  
H01L27/08, 29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
日本国公開実用新案公報 1971-2004年  
日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2002-299613 A (株式会社東芝) 2002. 10. 11 全文 (ファミリーなし)	1-10
A	JP 2002-110963 A (株式会社東芝) 2002. 04. 12 全文 & US 2002-36290 A1	1-10
A	JP 3-81324 B (株式会社東芝) 1991. 12. 27 全文 & EP 0088291 A1 & US 4518880 A1	8, 9

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に関する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

07. 09. 2004

国際調査報告の発送日

28. 9. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

佐藤 敬介

5W

9196

電話番号 03-3581-1101 内線 3576

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
P, X	JP 2003-188273 A (大見 忠弘) 2003.07.04 全文 & WO 2003/054962 A1 & CA 2438214 A	1-10